

(11)特許出願公開番号

特開2003-122702

(P2003-122702A)

(43)公開日 平成15年4月25日(2003.4.25)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

テーマコード\* (参考)

G O 6 F 13/12  
3/06

3 3 0  
3 0 2

G 0 6 F 13/12  
3/06

330F 5B014  
302A 5B065

審査請求 未請求 請求項の数 1 OL (全 8 頁)

(21)出願番号 特願2001-312564(P2001-312564)

(22) 出願日 平成13年10月10日(2001. 10. 10)

(71)出願人 000153465

株式会社日立コミュニケーションテクノロジー

東京都品川区南大井六丁目26番3号

(72) 発明者 渡辺 芳美

福島県郡山市字船場向94番地 株式会社日立  
立テレコムテクノロジー内

(72)発明者 田崎 和人

福島県郡山市字船場向94番地 株式会社日立  
立テレコムテクノロジー内

Fターム(参考) 5B014 EB03 FA04 GC04 GC05 GD05

GD12 GD15 GD22 GD23

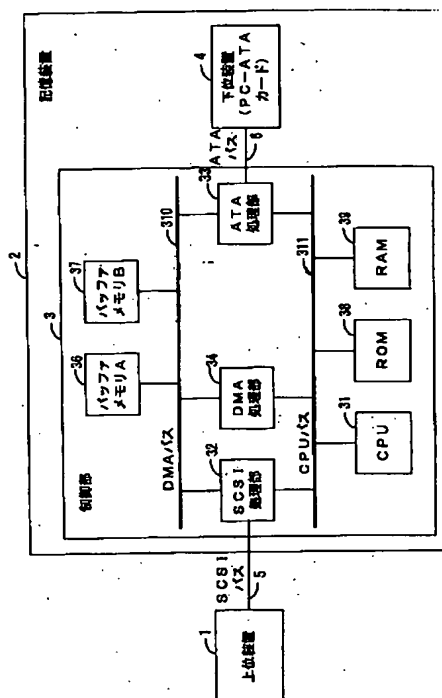
5B065 BA01 CH02

(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】 上位装置からのアクセスが高速に行える記憶装置を提供する。

【解決手段】 記憶装置 2 の制御部 3 に設けられたデータテーブル 8 を用いて、上位装置 1 から受信した転送コマンドから、次の指示される転送コマンドを予測し、予めバッファメモリに転送指示されるであろうデータを準備しておき、実際に次のコマンドを受信した場合に、その内容を判別し、予測したデータの転送要求の再は、直ちにデータの転送を行う。



**【特許請求の範囲】**

**【請求項 1】** 上位装置からの命令に基づいて、上位装置から転送されるデータを記憶し、かつ、記憶したデータを読み出して上位装置に転送する記憶装置において、前記記憶装置の制御部は、前記上位装置からの命令を受信し前記データの送受信を行う上位装置処理部と、前記データを一時的に蓄積するバッファメモリと、前記バッファメモリと記憶手段としての下位装置の間で所定の転送指示によってデータ転送を行う下位装置処理部と、前記上位装置処理部が受信した前記命令を解釈し転送指示を与える中央処理装置と、前記中央処理装置のプログラムを格納する第 1 のメモリと、前記中央処理装置が前記プログラムを実行するときにワークエリアとしてデータを格納する第 2 のメモリとを備え、前記中央処理装置は、前記上位装置から受信した前記命令を、予め前記第 1 のメモリ上に格納したデータテーブルをもとに、前記下位装置に対してデータの転送指示をするためのコマンド群に変換して、前記第 2 のメモリ上にコマンドテーブルとして登録し、前記コマンドテーブルによって前記下位装置に対しデータの転送指示するとともに、前記命令から次の前記上位装置より指示される命令を予測し、その予測に応じた転送データを前記バッファメモリに予め格納することを特徴とする記憶装置。

**【発明の詳細な説明】****【0001】**

**【発明が属する技術分野】** 本発明は、制御システムにおける外部記憶装置に関する。

**【0002】**

**【従来の技術】** 局データや交換機等の制御システムのシステムファイルなどを記憶する、システムの外部記憶装置として、ハードディスク装置が使われることが多い。しかし、ハードディスク装置は、駆動系などのメカ部品を多用して構成されており、高信頼性が要求されている交換機システムの外部記憶装置として使用するためには、定期的な保守や交換が必要であった。

**【0003】** ところで、半導体メモリや不揮発性半導体メモリは、ハードディスク装置に比べてメカ部品が少なく、故障も少ない。また、寿命も長いため、メンテナンスの負荷を軽減すべく、半導体メモリや不揮発性半導体メモリを利用した記憶装置を交換機システムの外部記憶装置として用いることも考えられる。

**【0004】**

**【発明が解決しようとする課題】** しかしながら、半導体メモリを使用した場合の外部記憶装置を考えてみると、後述するような動作を行うため、データの読み書き処理に要する処理時間が長くなってしまい、データ処理のスループットが悪いという問題が発生してしまう。

**【0005】** その動作とは、上位装置からの転送アドレス、転送バイト数のコマンドを受けて、記憶されているデータを読み出す際には、まず、不揮発性半導体メモリから記憶装置内のバッファメモリに一定のバイト数分の読み出しを行う。そして、続けてバッファメモリから外部インタフェース部を通して上位装置に読み出しを行うことが考えられる。これは、上位装置と記憶装置とのインタフェース変換と、両装置間のデータパスに転送量の制限が設けられていることが理由となる。

**【0006】** 同様に、上位装置からの転送アドレス、転送バイト数のコマンドを受けて、上位装置からのデータを書き込む際には、まず、一定のバイト数分の書き込みデータを上位装置から外部インタフェース部を介しバッファメモリに一旦書き込みを行う。そして、続けてバッファメモリから不揮発性半導体メモリに指定された転送バイト数に到達するまでシリアル転送により書き込みを続けて行う。

**【0007】** 本発明の目的は、外部記憶装置内の書き込み／読み出しの処理速度を向上させ、上位装置から外部記憶装置へのアクセス時間を小さくすることにある。

**【0008】**

**【課題を解決するための手段】** 上位装置からの命令に基づいて、上位装置から転送されるデータを記憶し、かつ、記憶したデータを読み出して上位装置に転送する記憶装置において、前記記憶装置の制御部は、前記上位装置からの命令を受信し前記データの送受信を行う上位装置処理部と、前記データを一時的に蓄積するバッファメモリと、前記バッファメモリと記憶手段としての下位装置の間で所定の転送指示によってデータ転送を行う下位装置処理部と、前記上位装置処理部が受信した前記命令を解釈し転送指示を与える中央処理装置と、前記中央処理装置のプログラムを格納する第 1 のメモリと、前記中央処理装置が前記プログラムを実行するときにワークエリアとしてデータを格納する第 2 のメモリとを備え、前記中央処理装置は、前記上位装置から受信した前記命令を、予め前記第 1 のメモリ上に格納したデータテーブルをもとに、前記下位装置に対してデータの転送指示をするためのコマンド群に変換して、前記第 2 のメモリ上にコマンドテーブルとして登録し、前記コマンドテーブルによって前記下位装置に対しデータの転送指示するとともに、前記命令から次の前記上位装置より指示される命令を予測し、その予測に応じた転送データを前記バッファメモリに予め格納することを特徴とする。

**【0009】**

**【発明の実施の形態】** 図 1 は、本発明の実施の形態を示すシステムの構成図である。

**【0010】** 図 1 において、7 はシステム、1 はシステム 7 に接続され外部記憶装置 2 とのインタフェース 5 を制御する上位装置である。

**【0011】** 例えば、外部記憶装置 2 として光磁気ディ

スクが使われていたとする。光磁気ディスクのような記憶装置は技術革新が激しく、製品のライフサイクルは短くなっており、しばしば製造中止に遭遇する。

【0012】このような場合には、代替の記憶装置に切り替えねばならないが、光磁気ディスクは機械的可動部分を有し定期的な保守が必要なため、切り替え後の記憶装置として機械的な可動部分を持たない半導体記憶装置を選んだとする。

【0013】例えば、パーソナルコンピュータ（以下PCと表記する）カードの、ATAスタンダードに準拠したフラッシュメモリカード（以下ATAカードと表記する）に切り替えることにしたとする。

【0014】この場合、光磁気ディスクのインタフェースはスモールコンピュータシステムインタフェース（以下SCSIと表記する）に準拠しているのに対し、PC-ATAカードのインタフェースはPC-ATAスタンダードに準拠しているため単純な置き換えはできない。

【0015】この問題を解決するために、図1においては制御部3を設けることによって、下位装置としてのPC-ATAカード4とのATAインタフェース6をSCSIインタフェース5に変換してやり、上位装置1からみるとあたかもSCSIインタフェースの記憶装置が接続されているかの如く見えるようにしてやる。

【0016】図2は本発明の実施の形態にかかる記憶装置2の内部構成を示すブロック図である。図2において、記憶装置2の制御部3はSCSIバス5を介して上位装置1へ接続され、さらに記憶装置2の内部では下位装置であるPC-ATAカード4がATAバス6を介して制御部3へ接続されている。

【0017】制御部3は、以下の装置によって構成される。31は中央処理装置（以下CPUと略称する）で、記憶装置2を制御する。32はSCSI処理部（上位装置処理部）で、CPU31とCPUバス311を介して接続され、上位装置1からの命令を受信すると共に、上位装置1との間でデータの送受信を行う。

【0018】33はATA処理部（下位装置処理部）で、下位装置であるPC-ATAカード4に対する命令を送信すると共に、PC-ATAカード4との間でデータの送受信を行う。

【0019】34はダイレクトメモリアクセス（以下DMAと略称する）処理部で、SCSI処理部（上位装置処理部）32とバッファメモリA36またはバッファメモリB37との間、あるいはATA処理部（下位装置処理部）とバッファメモリA36またはバッファメモリB37との間で、DMAバス310を介してCPU31の転送指示によりデータのDMA転送を行う。

【0020】36はバッファメモリA、37はバッファメモリBで、上位装置1と下位装置であるPC-ATAカード4の間で、転送データを一時的に蓄積する。

【0021】38は第1のメモリであるリードオンリー

メモリ（以下ROMと略称する）で、CPU31のプログラムを格納する。

【0022】39は第2のメモリであるランダムアクセスメモリ（以下RAMと略称する）で、ワークエリアとして使用する。

【0023】制御部3では、上位装置1からのコマンドはSCSI処理部32で受信され、受信SCSIコマンドはCPU31によってPC-ATAコマンドに変換されて、ATA処理部33を介して下位装置であるPC-ATAカードに送られる。

【0024】SCSIコマンドからPC-ATAコマンドへの変換は、CPU31が第1のメモリであるROM38に格納されたデータテーブルを用いてPC-ATAコマンドに変換して、第2のメモリであるRAM39にコマンドテーブルとして登録して行われ、下位装置との間のデータの転送はこのコマンドテーブルを用いて実行される。

【0025】図3は、SCSIコマンドをPC-ATAコマンドに変換する時に使うテーブルの一例である。

【0026】図3、8はデータテーブルで、SCSIコマンドとPC-ATAコマンドの対応と、変換に必要なデータが登録されている。

【0027】図3、9はコマンドテーブルで、図3、8のデータテーブルによって変換されたPC-ATAコマンドが、パラメータを含めて登録される。CPU31は下位装置であるPC-ATAカード4に対して、図3、9のコマンドテーブルを実行すればよい。

【0028】上位装置1とSCSI処理部32とを接続しているSCSIバス5のインタフェースは、8ビットのデータ線と1ビットのパリティビットおよびBSY、ATN等の制御線を持ち、動作フェーズとしては、バスフリー、セクション、メッセージアウト、コマンド、データインまたはデータアウト、ステータス、メッセージイン、バスフリーの7段階で遷移する。

【0029】図4と図5はリード転送処理のシーケンスチャートで、図4と図5に従って、上位装置1へPC-ATAカード4からデータを読み出す、リード転送処理を説明する。

【0030】上位装置1には複数の記憶装置2が接続されている場合があるのでセクション動作が必要になる。即ち、上位装置1はバスフリーフェーズにおいて所望の記憶装置2と接続するために上位装置1のSCSI-ID番号（例えば2の7乗ビット=1）と記憶装置2のSCSI-ID番号（例えば2の0乗ビット=1）をSCSIバスに乗せ、セクション動作を実行する（ステップS101）。

【0031】これに対し、SCSI処理部32はSCSIバス5の制御線のうち、BSY=1として応答する（ステップS102）。

【0032】セクションフェーズ完了後、上位装置1

は記憶装置2のロジカルユニット番号0と接続を設定するために、ステップS101において、SCSIバス5の制御線のうちATN=1として、SCSI処理部32に対してメッセージアウトフェーズへの遷移を要求する。

【0033】メッセージアウトフェーズになると、上位装置1はSCSIバス5にメッセージを乗せて送信する(ステップS103)。送信されたメッセージはSCSI処理部32で受信され、メッセージアウトフェーズは終了する。SCSI処理部32は次のコマンドフェーズに遷移する。

【0034】コマンドフェーズになると、上位装置1はPC-ATAカード4からデータを読み出すために、オペレーションコードとしてRead Extended コマンドを含むコマンドバイトをSCSI処理部32に送信する(ステップS104)。

【0035】SCSI処理部32でのコマンドバイトの受信完了は、割込信号でCPU31へ知らせ(ステップS105)、CPU31がSCSI処理部32からコマンドを読み出す(ステップS106)。

【0036】受信したコマンドバイトの中には、前記オペレーションコード、先頭ロジカルブロックアドレス(以下LBAと略称する)、および転送LBA数が含まれる。

【0037】ここで受信したコマンドバイトは、SCSIインタフェースに基づいているので、CPU31は予め第1のメモリであるROM38上に作成してあるデータテーブル8をもとに、受信した先頭LBAと転送LBA数を、下位装置であるPC-ATAカード4の先頭セクタと転送セクタ数に変換し、PC-ATAカード4に対するコマンド群として、第2のメモリであるRAM39上に登録する。これがコマンドテーブル9である。

【0038】CPU31は前記コマンドテーブル9をもとに、ATA処理部33に対しリードセクタコマンドの設定を行う(ステップS107)。ATA処理部33はPC-ATAカード4に対し、リードセクタコマンド、先頭セクタ、および転送セクタ数をコマンドレジスタにライトする(ステップS108)。

【0039】これによってPC-ATAカード4はリードセクタコマンド動作を開始する。

【0040】PC-ATAカード4のデータ転送の準備が整ったことを確認するために、CPU31はATA処理部33にステータス確認動作をする(ステップS109)。これによってPC-ATAカード4からステータスレジスタがリードされ(ステップS110)、ステータスが確認される。

【0041】PC-ATAカード4のデータ転送の準備が整うと、CPU31はデータ転送を開始するために、DMA処理部34に対してはDMAの設定と起動を行い、ATA処理部33に対してもDMAの設定と起動を

行う(ステップS111)。

【0042】PC-ATAカード4のリードデータ1は、ATAバス6、ATA処理部33、およびDMA処理部34を経てバッファメモリA36へDMA転送(リード)される(ステップS112)。

【0043】データ転送後の動作終了確認は、CPU31がATA処理部33にステータス確認動作をすることによって(ステップS113)、PC-ATAカード4からステータスレジスタがリードされ(ステップS114)、動作完了のステータスが確認される。

【0044】このデータ1がバッファメモリA36に転送されている間に、CPU31はSCSI処理部32にデータフェーズ起動を指示することによって(ステップS124)、SCSI処理部32はデータインフェーズに遷移する。

【0045】CPU31はデータインフェーズでのデータ転送に備え、DMA処理部34とSCSI処理部32に対してDMAの設定を行う(ステップS125)。そして、ステータス確認(ステップS113)後に上位装置1へのデータ転送の準備が整うと、CPU31はデータ転送を開始するために、DMA処理部34とSCSI処理部32に対してDMA起動を行う(ステップS130)。

【0046】バッファメモリA36に一時蓄積されていたリードデータ1は、DMA処理部34、SCSI処理部32およびSCSIバス5を経て上位装置1へDMAデータ転送(リード)される(ステップS131)。

【0047】次に、データ1が上位装置に転送されている間に、ステップS107からステップS114までの同じ動作を行う。但し、リードセクタコマンドを書き込むバッファメモリをバッファメモリB37に変え、更に、先ほどのデータ1の先頭LBAに先ほどのデータ1の転送LBA数を加算した新たな先頭LBAを算出し、その新たな先頭LBAと先ほどと同じLBA数を下位装置であるPC-ATAカード4の先頭セクタと転送セクタ数に変換し、PC-ATAカード4に対するコマンド群として、第2のメモリであるRAM39上に登録する。

【0048】CPU31はRAM39に登録されたデータをもとに、ATA処理部33に対しリードセクタコマンドの設定を行う(ステップS115)。ATA処理部33はPC-ATAカード4に対し、リードセクタコマンド、先頭セクタ、および転送セクタ数をコマンドレジスタにライトする(ステップS116)。

【0049】これによってPC-ATAカード4はリードセクタコマンド動作を開始する。

【0050】PC-ATAカード4のデータ転送の準備が整ったことを確認するために、CPU31はATA処理部33にステータス確認動作をする(ステップS117)。これによってPC-ATAカード4からステータ

スレジスタがリードされ（ステップS118）、ステータスが確認される。

【0051】PC-ATAカード4のデータ転送の準備が整うと、CPU31はデータ転送を開始するために、DMA処理部34に対してはDMAの設定と起動を行い、ATA処理部33に対してもDMAの設定と起動を行う（ステップS119）。

【0052】PC-ATAカード4のリードデータ2は、ATAバス6、ATA処理部33、およびDMA処理部34を経てバッファメモリB37へDMA転送（リード）される（ステップS120）。

【0053】データ転送後の動作終了確認は、CPU31がATA処理部33にステータス確認動作をすることによって（ステップS121）、PC-ATAカード4からステータスレジスタがリードされ（ステップS122）、動作完了のステータスが確認される。

【0054】データ1のデータ転送後の動作終了確認は、SCSI処理部32が割込信号でCPU31へ知らせる（ステップS132）。

【0055】データ転送（リード）終了後、CPU31はSCSI処理部32に対してステータスとメッセージインの起動を行う（ステップS133）。SCSI処理部32は次のステータスフェーズに遷移する。

【0056】ステータスフェーズになると上位装置1はSCSI処理部32からステータスをリードする（ステップS134）。

【0057】上位装置1がステータスをリードすると、SCSI処理部32は最後のメッセージインフェーズに遷移する。メッセージインフェーズになると、上位装置1がSCSI処理部32からリードコマンドの完了メッセージをリードする（ステップS135）。これによりSCSI処理部32はSCSIバス5の信号線を開放し、バスフリーフェーズになる。

【0058】メッセージインフェーズの動作終了確認は、SCSI処理部32が割込信号でCPU31へ知らせることで行われ（ステップS136）、第1のリード動作が終了する。

【0059】次に第2のデータのリードを上位装置1が行う場合は、S101～S106と同様に、セレクション動作を実行し（ステップS201）、これに対し、SCSI処理部32はSCSIバス5の制御線のうち、BSY=1として応答する（ステップS202）。

【0060】セレクションフェーズ完了後、上位装置1は記憶装置2のロジカルユニット番号0と接続を設定するために、ステップS201において、SCSIバス5の制御線のうちATN=1として、SCSI処理部32に対してメッセージアウトフェーズへの遷移を要求する。

【0061】メッセージアウトフェーズになると、上位装置1はSCSIバス5にメッセージを乗せて送信する

（ステップS203）。送信されたメッセージはSCSI処理部32で受信され、メッセージアウトフェーズは終了する。SCSI処理部32は次のコマンドフェーズに遷移する。

【0062】コマンドフェーズになると、上位装置1はPC-ATAカード4からデータを読み出すために、オペレーションコードとしてRead Extended コマンドを含むコマンドバイトをSCSI処理部32に送信する（ステップS204）。

【0063】SCSI処理部32でのコマンドバイトの受信完了は、割込信号でCPU31へ知らせ（ステップS205）、CPU31がSCSI処理部32からコマンドを読み出す（ステップS206）。

【0064】CPU31はこのコマンドの内容が、バッファメモリB37に予測し格納したデータの要求か否かを判別する。その結果、このコマンドが予測し格納したデータの要求である、先のデータ1の続きである先頭LBA（データ1の先頭LBAに転送LBA数を加算した新たな先頭LBA）であり、転送LBA数もデータ1の転送時のコマンドと同じであった場合は、既にバッファメモリB37に予め予測しておいたデータが格納されているので、CPU31はSCSI処理部32にデータフェーズ起動を指示することによって（ステップS224）、SCSI処理部32はデータインフェーズに遷移する。

【0065】判別の結果、予測し格納したデータの要求でなければ、その受信したコマンドバイトの中には、前記オペレーションコード、先頭ロジカルブロックアドレス（以下LBAと略称する）、および転送LBA数が含まれているので、CPU31は予め第1のメモリであるROM38上に作成してあるデータテーブル8をもとに、受信した先頭LBAと転送LBA数を、下位装置であるPC-ATAカード4の先頭セクタと転送セクタ数に変換し、PC-ATAカード4に対するコマンド群として、第2のメモリであるRAM39上（コマンドテーブル9）に登録する。

【0066】CPU31は前記コマンドテーブル9をもとに、ATA処理部33に対しリードセクタコマンドの設定し、以下S108～S131と同様の動作を行う。

【0067】S224からのシーケンスに戻して説明すると、次にCPU31はデータインフェーズでのデータ転送に備え、DMA処理部34とSCSI処理部32に対してDMAの設定を行う（ステップS225）。

【0068】そして、CPU31はデータ転送を開始するために、DMA処理部34とSCSI処理部32に対してDMA起動を行う（ステップS230）。

【0069】バッファメモリB37に予め蓄積されていたリードデータ2は、DMA処理部34、SCSI処理部32およびSCSIバス5を経て上位装置1へDMAデータ転送（リード）される（ステップS231）。

【0070】次に、データ1が上位装置に転送されている間に、ステップS115からステップS122までの同じ動作を行う。但し、リードセクタコマンドを書き込むバッファメモリをバッファメモリA36に変え、更に、先ほどのデータ2の先頭LBAに先ほどデータ2の転送LBA数を加算した新たな先頭LBAを算出し、その新たな先頭LBAと先ほどと同じLBA数を下位装置であるPC-ATAカード4の先頭セクタと転送セクタ数に変換し、PC-ATAカード4に対するコマンド群として、第2のメモリであるRAM39上に登録する。

【0071】CPU31はRAM39に登録されたデータをもとに、ATA処理部33に対しリードセクタコマンドの設定を行う（ステップS315）。ATA処理部33はPC-ATAカード4に対し、リードセクタコマンド、先頭セクタ、および転送セクタ数をコマンドレジスタにライトする（ステップS316）。これによってPC-ATAカード4はリードセクタコマンド動作を開始する。

【0072】PC-ATAカード4のデータ転送の準備が整ったことを確認するために、CPU31はATA処理部33にステータス確認動作をする（ステップS317）。これによってPC-ATAカード4からステータスレジスタがリードされ（ステップS318）、ステータスが確認される。

【0073】PC-ATAカード4のデータ転送の準備が整うと、CPU31はデータ転送を開始するために、DMA処理部34に対してはDMAの設定と起動を行い、ATA処理部33に対してもDMAの設定と起動を行う（ステップS319）。

【0074】PC-ATAカード4のリードデータ3は、ATAバス6、ATA処理部33、およびDMA処理部34を経てバッファメモリA36へDMA転送（リード）される（ステップS320）。

【0075】データ転送後の動作終了確認は、CPU31がATA処理部33にステータス確認動作をすることによって（ステップS321）、PC-ATAカード4からステータスレジスタがリードされ（ステップS322）、動作完了のステータスが確認される。

【0076】データ2のデータ転送後の動作終了確認は、SCSI処理部32が割込信号でCPU31へ知らせる（ステップS232）。

【0077】データ転送（リード）終了後、CPU31はSCSI処理部32に対してステータスとメッセージインの起動を行う（ステップS233）。SCSI処理部32は次のステータスフェーズに遷移する。

【0078】ステータスフェーズになると上位装置1はSCSI処理部32からステータスをリードする（ステップS234）。

【0079】上位装置1がステータスをリードすると、SCSI処理部32は最後のメッセージインフェーズに

遷移する。メッセージインフェーズになると、上位装置1がSCSI処理部32からリードコマンドの完了メッセージをリードする（ステップS235）。これによりSCSI処理部32はSCSIバス5の信号線を開放し、バスフリーフェーズになる。

【0080】メッセージインフェーズの動作終了確認は、SCSI処理部32が割込信号でCPU31へ知らせることで行われ（ステップS236）、第2のリード動作が終了する。

【0081】次に第3のリードを行う場合は、S201～S236と同様の動作を行う。但し、その際の予測したデータ4は、バッファメモリB37へ格納する。このようなリードサイクルを繰り返し、予めバッファメモリへの予測転送データを格納して、上位装置1へデータ転送を行うことにより、高速なデータ転送処理が可能となる。

【0082】このようなリードサイクルにもっとも適するリードにシーケンシャルリードと呼ばれるものが存在する。シーケンシャルリードとは、上位装置1がATAカード4内のデータファイルの先頭から順に、連続的に読んでいくものであり、具体的にいうと、転送バイト数が一定であり、次のリード時の先頭アドレスが予測できるリード動作のことである。

【0083】以上、本発明の一実施の形態について説明した。本実施の形態においては、リードについて動作説明をおこなったが、これがライト（書き込み）動作についても同様に動作することも可能である。指定された書き込みデータは、一方のバッファメモリに格納後、ATAカード4に転送し、その間に予め書き込まれるデータを予測して、他方のバッファメモリに格納するようにすればよい。

【0084】また、本実施の形態においては、上位装置とのインタフェースにSCSIインタフェースを、下位装置とのインタフェースにPC-ATAインタフェースを仮定したが、本発明はこの様なインタフェースに限定されるものではなく、どのようなインタフェースの組み合わせであってもよい。

【0085】また本実施の形態では、下位装置として標準のPC-ATAカードを用いたが、大容量の専用のフラッシュメモリボード（不揮発性半導体メモリ）にすることもできる。

【0086】

【発明の効果】以上の通り、本発明の記憶装置によれば交換機など上位装置からのアクセスにおいて、指定された転送アドレス、転送バイト数のデータの読み出し／書き込み中に、次に読み出し／書き込まれるであろうデータを予測し、内部のバッファメモリに予め格納しておくことで、次の読み出し／書き込み要求があった場合、その内容を判断して、予測したデータの要求であると判断した場合は、直ちに上位装置にデータを転送できる。これに

より、記憶装置への書き込み、読み出しの時間を短縮することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態におけるシステムの構成図である。

【図 2】制御部のブロック構成図である。

【図 3】データテーブルおよびコマンドテーブルの構成図である。

【図 4】リード転送処理におけるシーケンスチャートである。

【図 5】リード転送処理におけるシーケンスチャートである。

【符号の説明】

1 上位装置

2 記憶装置

3 制御部

4 下位装置 (PC-ATAカード)

5 SCSIバス

6 ATAバス

7 システム

31 CPU

32 SCSI処理部

33 ATA処理部

34 DMA処理部

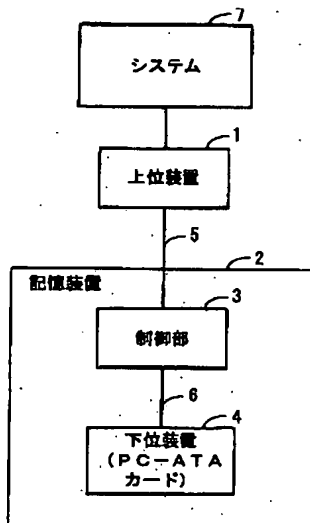
36 バッファメモリA

37 バッファメモリB

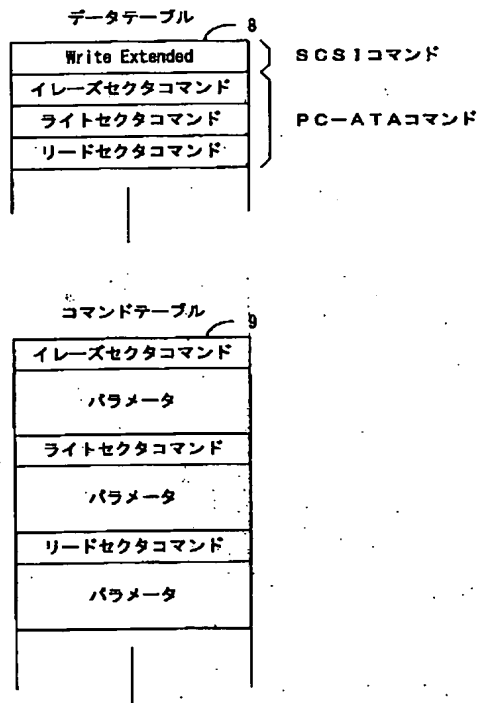
38 ROM

39 RAM

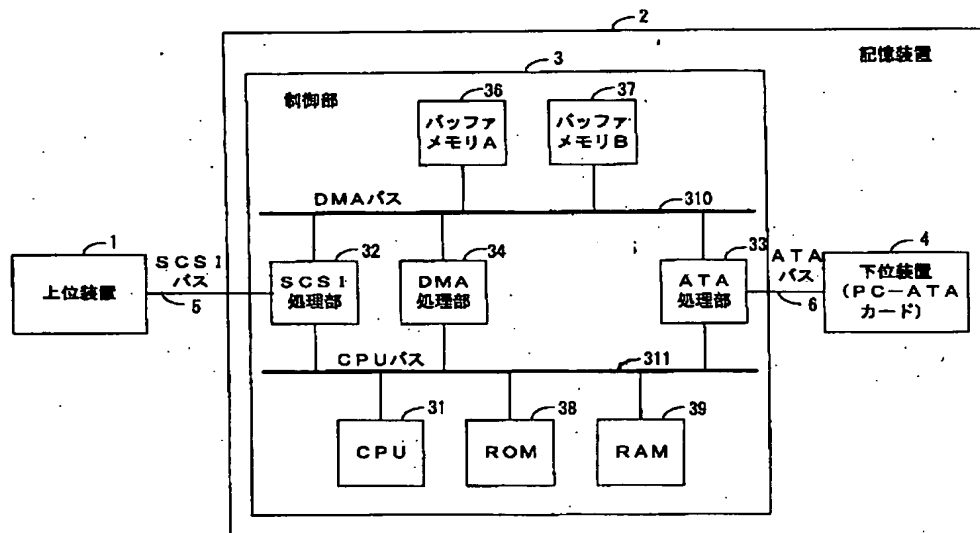
【図 1】



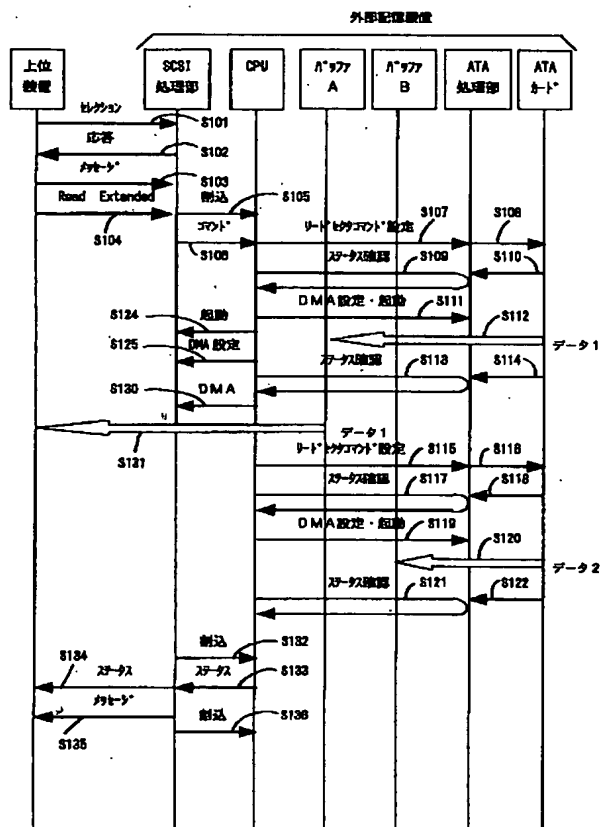
【図 3】



【図 2】



【図 4】



【図 5】

